

PAT-NO: JP403216727A
DOCUMENT-IDENTIFIER: JP 03216727 A
TITLE: N-BIT COMPARATOR

PUBN-DATE: September 24, 1991

INVENTOR-INFORMATION:

NAME	COUNTRY
HAYASHI, KAZUMI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP02012364
APPL-DATE: January 22, 1990

INT-CL (IPC): G06F007/04

ABSTRACT:

PURPOSE: To reduce the scale of a gate and to shorten a detection time by providing one n-bit comparator, functioning a priority order for respective bits and selecting the group of data whose priority is the highest when n-bits are compared.

CONSTITUTION: The coincidence of data A_i and B_i ($i=1-m$) of two sequences whose data length in n-bits is compared in a coincidence circuit 30 for respective bits. Then, a comparison result is informed to a decoder 31. Since '0' is outputted, if dissidence occurs even by one bit for respective groups of data in the decoder 31, only one n-bit comparator is required. Then, the group of data whose priority is high is selected when n-bits are compared by functioning priority for respective bits. Thus, the scale of the gate is reduced and the detection time can be shortened.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-216727

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月24日

G 06 F 7/04

7530-5B

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 nビット比較回路

⑯ 特 願 平2-12364

⑰ 出 願 平2(1990)1月22日

⑱ 発 明 者 林 和 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井島 藤治 外1名

明 細 書

1. 発明の名所

nビット比較回路

2. 特許請求の範囲

データ長nビットの2系列のデータA_iとB_i (i=1~m)をそれぞれ対応するデータの組毎にビット毎の一致をとる一致回路(30)と、
各データの組毎に一致回路(30)の出力を入力し、nビットのデータのうち1ビットでも不一致があると“0”を出力するデコーダ(31)と、
該デコーダ(31)の出力に一致するデータの組が複数ある時、優先順位の高いデータの組を選択する信号を出力する優先順位回路(11)と、
前記一致回路(30)のm組の出力を受けて優先順位回路(11)の出力に応じていずれか一つをセレクトするセレクト(12)と、
該セレクト(12)出力を受けてnビットのデータ全てが一致した時にキャリー信号を出力する比較回路(32)と、
該比較回路(32)の出力を受けて保護をかけ

る保護回路(33)と、

これら各構成要素を制御する制御回路(34)とにより構成されてなるnビット比較回路。

3. 発明の詳細な説明

〔概要〕

優先順位付きのnビット比較回路に関し、
ゲート規模の削減と検出時間の短縮を図ることを目的とし、
データ長nビットの2系列のデータA_iとB_i (i=1~m)をそれぞれ対応するデータの組毎にビット毎の一致をとる一致回路と、各データの組毎に一致回路の出力を入力し、nビットのデータのうち1ビットでも不一致があると“0”を出力するデコーダと、該デコーダの出力に一致するデータの組が複数ある時、優先順位の高いデータの組を選択する信号を出力する優先順位回路と、前記一致回路のm組の出力を受けて優先順位回路の出力に応じていずれか一つをセレクトするセレクトと、該セレクト出力を受けてnビットのデータ全てが一致した時にキャリー信号を出力する比

較回路と、該比較回路の出力を受けて保護をかける保護回路と、これら各構成要素を制御する制御回路とにより構成される。

〔産業上の利用分野〕

本発明は優先順位付きの n ビット比較回路に関する。

〔従来の技術〕

第4図は従来のデータ送受信システムの構成ブロック図である。1は送信装置、2は受信装置である。送信装置1に入ったデータ a はCRC(Cyclic Redundancy Check)演算器1aによりCRC演算を行った後、データ b として送信される。一方、データ a もそのまま送信される。受信装置2では、これら2つのデータ a 、 b を受信し、データ a についてはCRC演算器2aによりCRC演算を行う。受信側にそのまま入ったデータを B とし、CRC演算を行ったデータを A とする。

11は比較部10より出力される比較結果が、全ビットが一致した組が複数存在する時、予め定められた優先順位に基づいてその内の1組を選択する信号を出力する優先順位回路、12は m 個のデータ比較結果を受けて優先順位回路11の出力に基づいて1組を選択する $m-1$ セレクタである。13はセレクタ12の出力を受ける保護回路である。

該保護回路13は、データの全ビットが一致しない状態が例えば1回生じても直ちにデータ系列を他の系列に切換えることはしないで、所定の数だけデータの全ビットが一致しない状態が続いた時にはじめてデータ系列を切換えるようにする動きをするものである。14は比較部10、優先順位回路11及び保護回路13の制御を行う制御回路である。このように構成された回路の動作を説明すれば、以下のとおりである。

比較部10に入ったデータ(A 系、 B 系)は各組毎に全ビットの比較が行われる。第7図は比較部10の従来構成例を示す図である。図では、1

比較器2bは、これら2つのデータ A 、 B をビット毎に比較する。しかしながら、CRC演算器2aのCRC演算を始めるタイミングが変化するため、データ A と B の一致をとることが困難である。そこで、第5図に示すように、受信側に複数のCRC演算器2aを設け、データ B と一致するデータ A_i を出力するCRC演算器を選択することが考えられる。つまり、各CRC演算器2aの出力データ A_i をデータ B と比較し、一致するデータをセレクタ2cで選択してやるのである。

第6図は従来回路の構成ブロック図で、第5図の受信装置2側の構成を示している。つまり、第5図のデータ B とデータ A_i 以降の比較回路の構成例を示している。図において、10は2組の m 個のデータ(ビット長 n) A_i と B_i ($i=1\sim m$)をビット毎に比較する比較部である。なお、データ A_i と B_i とは第5図に示したように、どちらか一方が全て同じデータの場合(図では B の方)もあるし、そうでない場合もある。

個の組のみ示しているが、実際には組の数 m だけ、図に示す回路がある。シリアル/パラレル変換器20、21に入ったそれぞれの系のデータ A_i 、 B_i は n 個のパラレルデータ D_1 、 D_2 、... D_n に変換される。変換されたデータは、ビット毎に比較器22で比較され、その比較結果がオア回路23に送られる。オア回路23は、 n 個の比較器22の出力の内、1個でも不一致があれば、“0”を出力する。全ビットが一致した場合にのみ、“1”を出力する。

優先順位回路11は、各系から送られてくる m 個の比較結果を受けて、全ビットが一致した組をチェックする。全ビットが一致した組が複数あった場合には、その内から予め定められた優先順位に従って、最も優先度の高い組を選択する信号をセレクタ12に出力する。セレクタ12は優先順位回路11からの選択信号に従って1個の組を選択し、出力する。出力結果は、保護回路13に入る。

【発明が解決しようとする課題】

従来の優先順位付き n ビット比較回路は、第7図に示すような全ビットの一致、不一致を比較する回路をデータ系列の組 m だけ用意する必要があり、ゲート規模が極めて大きくなり、また n ビットの比較後に優先順位の最も高いものをセレクトするため、検出時間が長くなるという不具合があった。

本発明はこのような課題に鑑みてなされたものであって、ゲート規模の削減と検出時間の短縮を図ることができる n ビット比較回路を提供することを目的としている。

【課題を解決するための手段】

第1図は本発明の原理ブロック図である。第6図と同一のものは、同一の符号を付して示す。図において、30はデータ長 n ビットの2系列のデータ A_i と B_i ($i=1\sim m$)をそれぞれ対応するデータの組毎にビット毎の一致をとる一致回路、31は各データの組毎に一致回路30の出力を入

1の出力は、優先順位回路11に送られ、該優先順位回路11は予め定められた優先順位で、デコード31の出力のうちの“1”を出力するデータの組を選択する信号を出力する。

セレクト12は、優先順位回路11からの選択信号に従って、データの組をセレクトし、比較回路32に送る。優先順位回路11で選択していた組にデータの不一致が出ると、優先順位回路11は出力“1”のデータの組の中から、次に優先度の高いデータの組を選択する信号を出力する。セレクト12は、このようなデータの組を次々に切換えながら比較回路32に送る。比較回路32は、シリアルデータをクロックに同期してカウントし、 n 進カウンタがキャリアウトしたら、少なくとも n ビットの全てのビットが一致したデータの組が1組存在することを示している。比較回路32の出力は保護回路33に送られ、保護がかかる。保護回路33の出力が、検出出力DETとなる。

本発明によれば、データ A_i と B_i との一致を一致回路30でビット毎に比較し、比較結果をデ

力し、 n ビットのデータのうち1ビットでも不一致があると“0”を出力するデコード、11は該デコード31の出力に一致するデータの組が複数ある時、優先順位の高いデータの組を選択する信号を出力する優先順位回路、12は前記一致回路30の m 組の出力を受けて優先順位回路11の出力に応じていずれか一つをセレクトするセレクト、32は該セレクト12出力を受けて n ビットのデータ全てが一致した時にキャリー信号を出力する比較回路、33は該比較回路32の出力を受ける保護回路、34はこれら各構成要素を制御する制御回路である。図に示す m は信号のビット数を示す。

【作用】

一致回路30でデータの組毎にビットシリアルデータの一致がとられ、順次デコード31に送られる。デコード31は、入力したデータの組毎に通常は（データの一致の場合）“1”を出力し、不一致が生じると“0”を出力する。デコード3

コード31に知らせるようにし、デコード31はデータの組毎に1ビットでも不一致が生じれば“0”を出力するようにしているので、 n ビット比較回路を1個ですませることができる。従って、ゲート規模を小さくすることができる。また、ビット毎に優先順位を機能させることにより、 n ビット比較した時点で最も優先順位の高いデータの組がセレクトされているため、検出時間を短縮することができる。

【実施例】

以下、図面を参照して本発明の実施例を詳細に説明する。

第2図は本発明の一実施例を示す回路図である。第1図と同一のものは、同一の符号を付して示す。図に示す実施例は、 A 、 B のデータの組が4個でビット長が6の場合を示している。一致回路30は、2入力のEXNORゲートが4個で構成されている。従って、そのゲート出力は、2つの入力 A_i と B_i が一致の時に“1”となる。

デコーダ31は、アンドゲート31aとDタイプフリップフロップ31bの組が4個で構成されている。アンドゲート31aの一方の入力には一致回路30のゲート出力が入り、他方の入力にはフリップフロップ31bのQ出力が入っている。そして、アンドゲート31aの出力はフリップフロップ31bのD入力に入っている。フリップフロップ31bのクロック入力CKには、制御回路34からのクロックが入っており、そのプリセット入力Pには、制御回路34からのプリセット信号が入っている。

デコーダ31の各フリップフロップ31bの出力をそれぞれD1～D4とし、これら出力D1～D4は優先順位回路11のラッチ11aに入る。制御回路34からのクロックは、アンドゲート11bに入り、該アンドゲート11bの出力はラッチ11aのクロック入力CKに入っている。デコーダ31の出力のうち、D1がラッチされたものをS1、D2がラッチされたものをS2、D3がラッチされたものをS3、D4がラッチされたものをS4とすると、これらラッチ出力S1～S4は図に示すようなアンドゲート11c～11eとオアゲート11f、11gの組合わせよりなるゲート回路に入る。

該ゲート回路は、優先順位の高い順($S1 > S2 > S3 > S4$)に“1”を保持して出力するようになっている。例えば、先ずS1が“1”を出力している場合に、S1が“0”に落ちたら(不一致が生じたら)、今度は次に優先順位の高いS2が“1”になる。このようにして、順次優先度の高い信号がセレクトされるようになっている。優先順位回路11の出力を、それぞれSL1～SL4とする。

セレクト12は、一致回路30の各ゲートの出力H1～H4をラッチするラッチ12a、該ラッチ12aの各出力Q1～Q4を受けるアンドゲート12b～12e及びこれらアンドゲート12b～12eの出力を受けるオアゲート12fより構成されている。アンドゲート12b～12eの他方の入力には、それぞれ対応する優先順位回路11の出力SL1～SL4が入っている。

ロードパルスTLO2及びラッチパルス(CMPCK)を作る。該制御回路34は、Dタイプフリップフロップ34a～34d、8進カウンタ34e(CNTR1)及びアンドゲート34fより構成されている。このように構成された回路の動作を、第3図のタイミングチャートを参照しつつ説明すれば、以下のとおりである。

1の出力SL1～SL4が入っている。

比較回路32は、セレクト12の出力Qをその一方の入力に、他方の入力にフィードバック信号を受けるアンドゲート32a、該アンドゲート32aの出力をイネーブル入力ENに受ける8進カウンタ32b(CNTR2)及び該カウンタ32bのキャリアウト出力COを受けるDタイプフリップフロップ32cより構成されている。

カウンタ32bには、8進のプリセット値“1”が入力されており、制御回路34からのロードパルスTLO2によりプリセット値がセットされる。また、該カウンタ32bのクロックは、制御回路34から与えられている。フリップフロップ32cは、カウンタ32bのキャリアウト出力COを制御回路34から出力されるラッチパルス(CMPCK)によりラッチする。そして、ラッチされた信号がCOPMとなる。このCOMP信号は、前記ゲート11bの他方の入力に入っている。

制御回路34は、タイミング信号TIMとマスタークロックMCKを受けて、クロック、初期値

ロードパルスTLO2及びラッチパルス(CMPCK)を作る。該制御回路34は、Dタイプフリップフロップ34a～34d、8進カウンタ34e(CNTR1)及びアンドゲート34fより構成されている。このように構成された回路の動作を、第3図のタイミングチャートを参照しつつ説明すれば、以下のとおりである。

制御回路34には、(a)に示すようなマスタークロックMCKと(b)に示すようなタイミング信号TIMが入り、それぞれ(c)、(d)に示すような制御信号TLO1、TLO2を出力する。カウンタ34eは(e)に示すような7進カウント(実際は初期値1からの6カウント)を行い、そのキャリアウトCTICOは(f)に示すようなものとなる。

一致回路30の各ゲートの出力H1～H4がそれぞれ(h)～(k)に示すようなものであったものとする。1ビット目では、全組が“1”である。デコーダ31はクロックでこれらデータH1～H4をラッチし、その出力D1～D4は(g)

～(o)に示すように全て“1”である。優先順位回路11は、これら信号D1～D4を受けると、クロックでラッチし、ラッチ出力S1～S4は(p)～(s)に示すようなものとなる。

これら出力S1～S4を受けるゲート回路の出力SL1～SL4は(t)～(w)に示すようなものとなり、最も優先度の高いH1をセレクトするように信号をセクタ12に与える。セクタ12はH1をセレクトし、(x)に示すQとして出力する。

次に、2ビット目でA1、B1に不一致が生じたものとする。この結果、該当するゲート出力H1が(h)に示すように“0”に落ちる。このデータをデコーダ31がデコードし、その出力D1がクロックに同期して“0”に示すように“0”に落ちる。このデータD1をクロックで同期してラッチし、ラッチ11aの出力S1が(p)に示すように“0”に落ちる。

優先順位回路11内のゲート回路は、ラッチ11aの出力を受けて、(t)～(w)に示すよう

にSL1が“0”に落ち、代わりに次の信号SL2が“1”となるセレクト信号をセクタ12に出力する。セクタ12の出力Qは(x)に示すようにラッチ12aのQ1が“0”に落ちてから、次のクロックまでの間に“0”に落ちるが、H2がセレクトされると同時に、再び“1”に上がる。

次に、6ビット目でA2とB2に不一致が生じH2が(i)に示すように“0”に落ちたものとする。これを受けてクロックに同期してデコーダ31の出力D2は(m)に示すように“0”に落ちる。D2が“0”に落ちると、次のクロックに同期してS2が(q)に示すように“0”に落ちる。この結果、優先順位回路11のゲート回路は次に優先度の高いH3をセレクトするようなセレクト信号をセクタ12に出力する。

この結果、セクタ12はH3をセレクトし、出力する。この結果、セクタ12の出力は(x)に示すように一旦“0”に落ちるがH3がセレクトされると同時に再度“1”に立ち上がる。このようにして、図に示す回路は、常にデータの組A

iとB iの一致しているものの内の最も優先度の高いデータの組がセレクトされて比較回路32に送られるようになっている。

比較回路32では、初期値“1”からクロックカウントを開始し、カウントアップしたらキャリアアウトCOを出力する。前記セクタ12の出力Qはアンドゲート32aを介してカウンタ32bのイネーブル入力ENに入っており、ENが“1”の間にクロックをカウントする。前記セクタ12の出力Qは、データの組の内、一致している組がある間は“1”を出力し続けるので、6ビット全部が一致するデータの組がある限り、カウンタ32bは初期値1から6クロックカウントを行いキャリアアウトCOを出力する。このCOは、制御回路34から出力される(z)に示すようなラッチパルスCMPCKによりラッチされ、(z')に示すようなCOMP信号として出力される。

このように、本発明によれば、一致回路30及びデコーダ31により、データの組毎にビットシ

リアルなデータを順次ビット毎に一致しているかどうかチェックできるので、第7図に示すようにシリアル/パラレル変換器は不要となり、ゲート規模の削減を図ることができる。また、ビット毎に優先順位を機能させることにより、6ビット比較した時点で最も優先順位の高いデータの組がセクタ12によりセレクトされているため、検出時間を短縮することができる。

上述の実施例ではデータの組(m)が4、ビット長(n)が6の場合を例にとって説明したが、本発明はこれに限るものでないことはいうまでもない。任意のデータの組の任意のビット長のデータに本発明を適用することができる。

〔発明の効果〕

以上、詳細に説明したように、本発明によれば、データA iとB iとの一致を一致回路30でビット毎に比較し、比較結果をデコーダ31に知らせるようにし、デコーダ31はデータの組毎に1ビットでも不一致が生じれば“0”を出力するよう

にしているの、 n ビット比較回路を1個ですま
せることができる。従って、ゲート規模を小さく
することができる。また、ビット毎に優先順位を
機能させることにより、 n ビット比較した時点で
最も優先順位の高いデータの組がセレクトされて
いるため、検出時間を短縮することができる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、
第2図は本発明の一実施例を示す回路図、
第3図は各部の動作を示すタイミングチャート、
第4図は従来のデータ送受信システムの構成ブ
ロック図、
第5図は従来のデータ送受信システムの構成ブ
ロック図、
第6図は従来回路の構成ブロック図、
第7図は比較部の従来構成例を示す図である。

第1図において、

11は優先順位回路、

12はセクタ、

30は一致回路、

31はデコーダ、

32は比較回路、

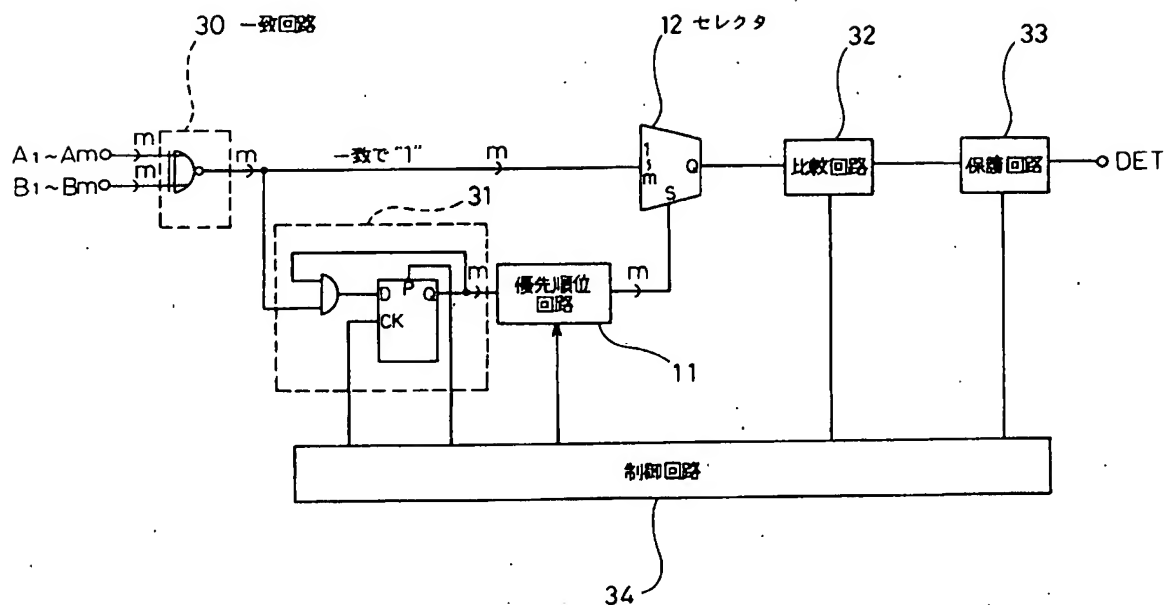
33は保護回路、

34は制御回路である。

特許出願人 富士通株式会社

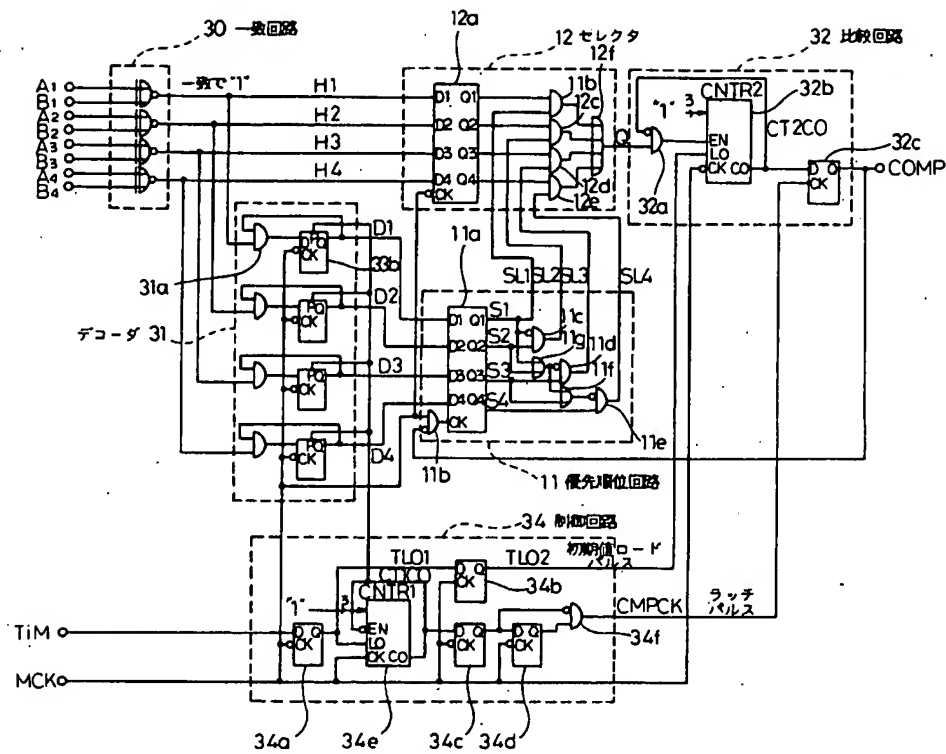
代理人 弁理士 井島 藤 治

外1名



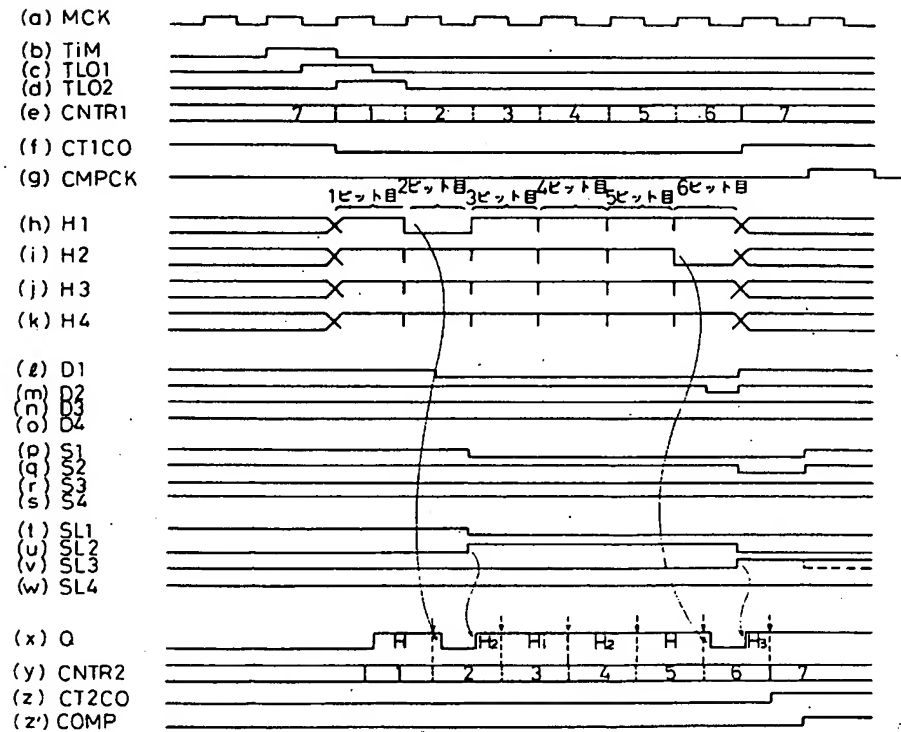
本発明の原理ブロック図

第1図



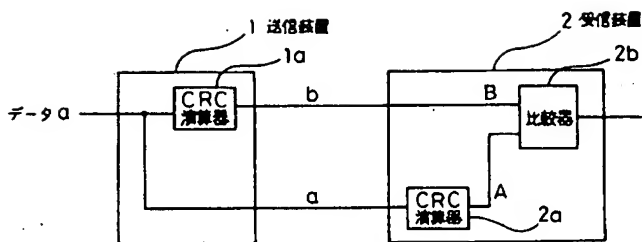
本発明の一実施例を示す回路図

第 2 図



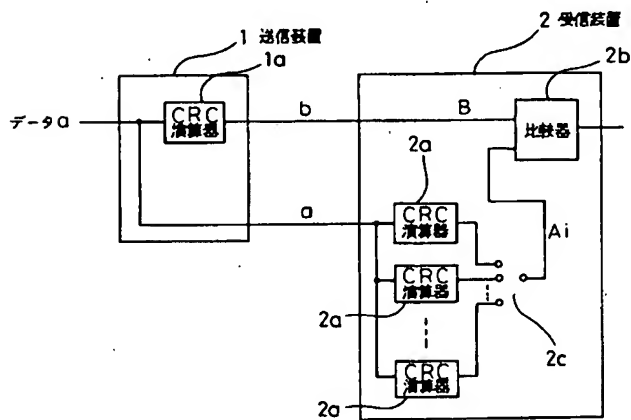
各部の動作を示すタイミングチャート

第 3 図



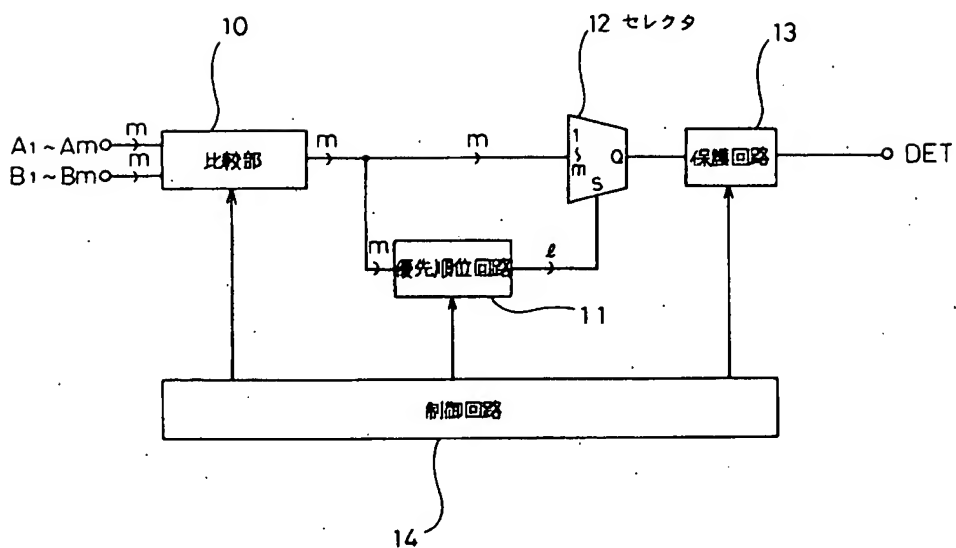
従来のデータ送受信システムの構成ブロック図

第4図



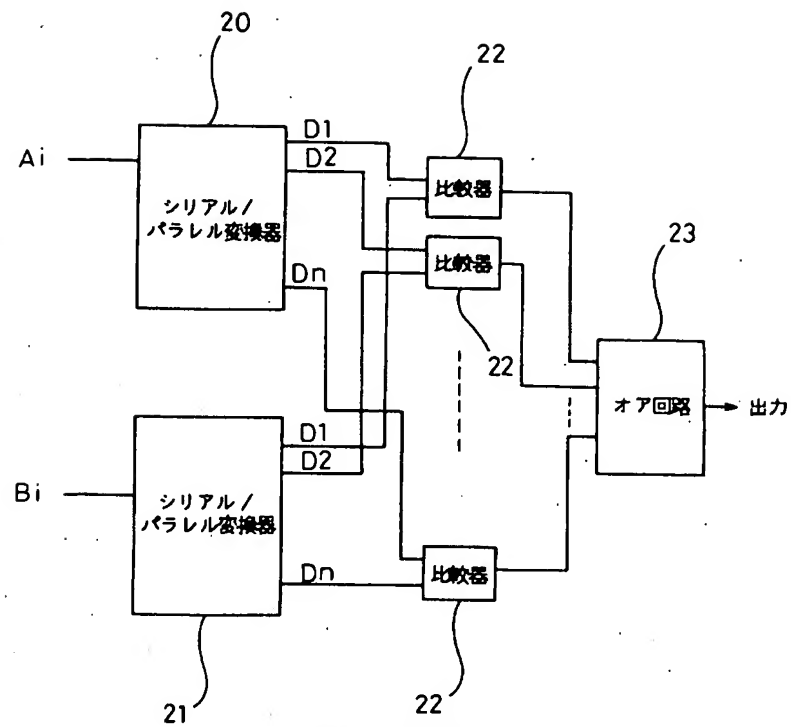
従来のデータ送受信システムの構成ブロック図

第5図



従来回路の構成ブロック図

第6図



比較部の従来構成例を示す図

第 7 図